

JP6089905

Publication Title:

THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Abstract:

PURPOSE:To improve the crystallinity of a semiconductor film by irradiating the semiconductor film with pulsed laser light or similar strong light not by a thermally equilibrium process.

CONSTITUTION:After a semiconductor film 103 is formed on an insulating substrate 101, a transparent protective film 104 is formed on the film 103. Then the surface of the film 103 is exposed by removing the film 104, and the exposed part of the film 103 is crystallized by irradiating the exposed part with pulsed laser light or the light of a halogen infrared lamp. After forming a gate insulating film 107 on the film 103, metallic wiring 122-124 is formed on the film 107 and ions are implanted at a high speed in a self-aligning way by using the wiring 122-124 as a mask. After implanting the ions, the film 107 is irradiated with pulsed laser light or the light of the halogen infrared lamp by using the wiring 122-124 as a mask. Therefore, a TFT excellent in characteristic and reliability can be manufactured at high yield.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-89905

(43) 公開日 平成6年(1994)3月29日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784		9056-4M 9056-4M	H 0 1 L 29/78	3 1 1 Y 3 1 1 X

審査請求 未請求 請求項の数21(全 16 頁)

(21) 出願番号 特願平5-167502

(22) 出願日 平成5年(1993)6月14日

(31) 優先権主張番号 特願平4-201932

(32) 優先日 平4(1992)7月6日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平4-218324

(32) 優先日 平4(1992)7月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

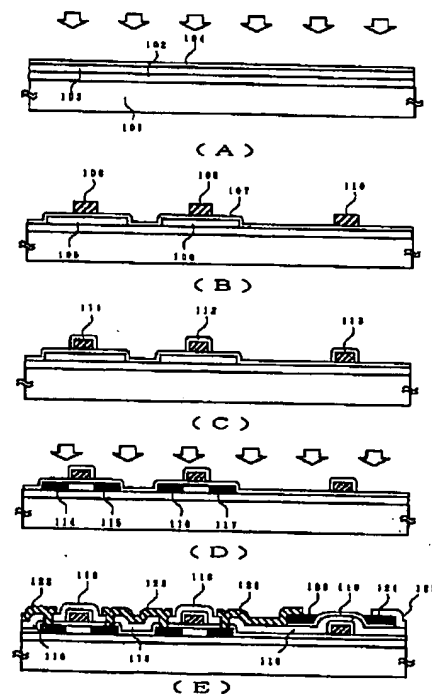
導体エネルギー研究所内

(54) 【発明の名称】 薄膜状半導体装置およびその作製方法

(57) 【要約】

【目的】 特性・信頼性の優れた薄膜トランジスタを歩留りよく製造する方法を提供する。

【構成】 絶縁基板上に薄膜トランジスタ (TFT) を形成する工程において、アモルファス半導体被膜を形成した後、レーザー光に対して透明な保護被膜を形成し、これにレーザー光を照射して半導体被膜の結晶性を改善せしめた後、前記保護被膜を除去して、半導体被膜の表面を露出させ、新たにゲート絶縁膜となる被膜を形成したのち、ゲート電極を形成することを特徴とする薄膜状半導体装置の作製方法および上記方法によって得られた薄膜状半導体装置。



【特許請求の範囲】

【請求項1】 絶縁基板上に、半導体被膜を形成する工程と、前記半導体被膜上に透明な保護被膜を形成する工程と、前記保護被膜を除去して半導体被膜の表面を露出せしめる工程と、前記半導体被膜にパルスレーザー光またはそれと同様の強光を照射することにより結晶化せしめる工程と、前記半導体被膜上にゲイト絶縁膜として機能する絶縁被膜を形成する工程と、前記絶縁被膜上に金属元素を主成分とする第1の配線を形成する工程と、前記第1の配線を主たるマスクとして自己整合的に高速イオンを照射する工程と、前記イオン照射後、前記第1の配線を主たるマスクとしてパルスレーザー光またはそれと同等の強光を照射する工程とを有することを特徴とする薄膜状半導体装置の作製方法。

【請求項2】 請求項1において、絶縁基板と半導体被膜の間には、窒化珪素もしくは酸化アルミニウムもしくは窒化アルミニウムを主たる成分とする絶縁被膜が形成されていることを特徴とする薄膜状半導体装置の作製方法。

【請求項3】 請求項1において、絶縁基板はソーダガラスまたは無アルカリガラスまたはコーニング7059ガラスであることを特徴とする薄膜状半導体装置の作製方法。

【請求項4】 請求項1において、第1の配線に電解溶液中で通電することによって、陽極酸化膜を形成する工程を有することを特徴とする薄膜状半導体装置の作製方法。

【請求項5】 請求項1において、絶縁基板と半導体被膜の間には、窒化珪素、酸化アルミニウム及び窒化アルミニウムから選ばれた材料からなる絶縁被膜と酸化珪素膜との多層が形成されていることを特徴とする薄膜状半導体装置の作製方法。

【請求項6】 請求項5において、前記窒化珪素、酸化アルミニウム及び窒化アルミニウムから選ばれた材料からなる絶縁被膜は300～3000Åの厚さであることを特徴とする薄膜状半導体装置の作製方法。

【請求項7】 請求項5において、前記酸化珪素膜は300～3000Åの厚さであることを特徴とする薄膜状半導体装置の作製方法。

【請求項8】 請求項1において、前記強光はハロゲン赤外線ランプ光であることを特徴とする薄膜状半導体装置の作製方法。

【請求項9】 絶縁基板上に形成され、アルミニウムを主成分とする金属材料をゲイト電極・配線として有する複数の薄膜トランジスタを有するアクティブマトリクス回路で、前記アクティブマトリクス部中の薄膜トランジスタの活性領域はパルスレーザー光またはそれと同様の強光を照射されて結晶化せしめ、また、ソース／ドレイン領域はP型の導電型で、かつ、P型不純物導入後、パルスレーザー光を照射されたことを特徴とする薄膜状半

導体装置

【請求項10】 請求項9において、絶縁基板は少なくとも窒化珪素もしくは酸化アルミニウムもしくは窒化アルミニウムからなる層を有する被膜によって被覆されたソーダガラスまたは無アルカリガラスであることを特徴とする薄膜状半導体装置。

【請求項11】 請求項9において、前記強光はハロゲン赤外線ランプ光であることを特徴とする薄膜状半導体装置。

【請求項12】 絶縁基板上に形成され、アルミニウムを主成分とする金属材料をゲイト電極・配線として有する複数の薄膜トランジスタを有するアクティブマトリクス回路および周辺駆動回路を有する装置において、前記周辺駆動回路中の薄膜トランジスタの活性領域はパルスレーザー光またはそれと同等の強光を照射された結晶性シリコンであり、アクティブマトリクス回路中の薄膜トランジスタの活性領域はアモルファスもしくはそれと同等な低い結晶性または周辺回路と比較して低い程度の結晶性を有することを特徴とする薄膜状半導体装置。

【請求項13】 絶縁基板上に、アモルファスもしくはそれと同等な結晶性の低いシリコン膜を形成する工程と、前記シリコン膜に選択的にレーザー光またはそれと同様の強光を照射することによって、前記シリコン膜の一部の結晶性を高める工程と、アルミニウムを主成分とするゲイト電極を形成する工程と、前記ゲイト電極をマスクとしてレーザー光またはそれと同様の強光を照射し、結晶性の高いシリコン膜を得る工程とを経ることによって、1枚の基板上にアモルファスシリコンTFTと結晶性シリコンTFTを同時に得ることを特徴とする薄膜状半導体装置の作製方法。

【請求項14】 請求項13において、前記強光はハロゲン赤外線ランプ光であることを特徴とする薄膜状半導体装置の作製方法。

【請求項15】 絶縁基板上に形成され、アルミニウムを主成分とする金属材料をゲイト電極とし、パルスレーザー光もしくはそれと同等なパルス光を照射することによって得られたゲイト電極下の活性層とそれに隣接する不純物領域を有する薄膜トランジスタを少なくとも2つ有する回路で、前記薄膜トランジスタはアモルファスもしくはそれと同等な低い結晶性を有するシリコン半導体によって分離されていることを特徴とする薄膜状半導体装置

【請求項16】 請求項15において、前記同様のパルス光はハロゲン赤外線ランプ光であることを特徴とする薄膜状半導体装置。

【請求項17】 絶縁基板上に、アモルファスもしくはそれと同等な結晶性の低いシリコン膜を形成する工程と、前記シリコン膜に選択的にレーザー光またはそれと同様の強光を照射することによって、前記シリコン膜の一部の結晶性を高める工程と、アルミニウムを主成分と

するゲイト電極を形成する工程と、前記ゲイト電極およびパターンニングされたマスク材をマスクとして、選択的にN型もしくはP型的一方、あるいは双方の不純物を注入する工程と、前記不純物の注入された領域と実質的に同じ領域のみにレーザー光またはそれと同様の強光を照射し、結晶性の高いシリコン膜を得る工程とを有することを特徴とする薄膜状半導体装置の作製方法。

【請求項18】 請求項17において、前記強光は赤外線ランプ光であることを特徴とする薄膜状半導体装置の作製方法。

【請求項19】 請求項18において、前記レーザー光または前記強光を照射する時に、前記基板を100～500℃に加熱することを特徴とする薄膜状半導体装置の作製方法。

【請求項20】 絶縁基板上に、アモルファスもしくはそれと同等な結晶性の低いシリコン膜を形成する工程と、前記シリコン膜上に厚い絶縁膜を形成する工程と、前記絶縁膜を選択的にエッチングして、前記絶縁膜の除去された、もしくは、前記絶縁膜の薄い領域を形成する工程と、レーザー光またはそれと同様の強光を照射することによって、前記絶縁膜の除去された、もしくは薄い領域の下部の前記シリコン膜の結晶性を高める工程と、アルミニウムを主成分とするゲイト電極を形成する工程と、前記ゲイト電極および前記厚い絶縁膜をマスクとして、選択的にN型もしくはP型的一方、あるいは双方の不純物を注入する工程と、レーザー光またはそれと同様の強光を照射し、前記不純物の注入された領域の活性化をおこなう工程とを有することを特徴とする薄膜状半導体装置の作製方法。

【請求項21】 請求項20において、前記強光はハロゲン赤外線ランプ光であることを特徴とする薄膜状半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、450℃以下の低温で絶縁基板上に絶縁ゲイト型半導体装置およびそれらが多数形成された集積回路を歩留りよく形成する方法、およびそのような方法によって形成された半導体装置に関する。本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリ等）における薄膜トランジスタとして使用されるものである。

【0002】

【従来の技術】 近年、絶縁基板上に絶縁ゲイト型半導体装置（MOSFET）を形成する研究が盛んに成されている。このように絶縁基板上に半導体集積回路を形成することは回路の高速駆動の上で有利である。なぜなら、従来の半導体集積回路の速度は主として配線と基板との

容量（浮遊容量）によって制限されていたのに対し、絶縁基板上ではこのような浮遊容量が存在しないからである。このように絶縁基板上に形成され、薄膜状の活性層を有するMOSFETを薄膜トランジスタ（TFT）という。従来の半導体集積回路においても、例えばSRAMの負荷トランジスタとしてTFTが使用されている。

【0003】 また、最近になって、透明な基板上に半導体集積回路を形成する必要のある製品が出現した。例えば、液晶ディスプレイやイメージセンサーというような光デバイスの駆動回路である。ここにもTFTが用いられている。これらの回路は大面積に形成することが要求されるのでTFT作製プロセスの低温化が求められている。また、例えば、絶縁基板上に多数の端子を有する装置で、該端子を半導体集積回路に接続する必要がある場合にも、実装密度を低減するために、半導体集積回路の最初の方の段、あるいは半導体集積回路そのものを、同じ絶縁基板上にモノリシックに形成することも考えられている。

【0004】 従来、TFTは、アモルファスもしくはセミアモルファス、あるいは微結晶の半導体被膜を450℃～1200℃の温度でアニールすることによって、結晶性を改善し、良質な（すなわち、移動度の十分に大きな）半導体被膜に改善することがなされてきた。半導体被膜にアモルファス材料を使用するアモルファスTFTもあるが、移動度が5cm²/Vs以下、通常は1cm²/Vs程度と小さく、動作速度の点から、また、Pチャネル型のTFTが得られない点からその利用は大きく制限されている。移動度が5cm²/Vs以上のTFTを得るには、上記のような温度でのアニールが必要であった。また、このようなアニールによってPチャネル型TFT（PTFT）を形成することができた。

【0005】

【発明が解決しようとする課題】 しかしながら、このような熱的なプロセスでは、基板材料が著しい制約を受けた。すなわち、いわゆる高温プロセス（最高プロセス温度が900～1200℃のプロセス）では、ゲイト酸化膜として質のよい熱酸化膜が使用できるのであるが、基板は石英やサファイヤ、スピネルのような高価で大面積化の困難な材料しか使用できなかった。

【0006】 これに対し、低温プロセス（最高プロセス温度が450～750℃のプロセス）では、高温プロセスよりも基板材料の選択の巾は広がるが、長時間のアニールを要することと、熱的な要因による歪みや縮みが問題となっている。本発明は、以上のような問題に鑑みてなされたもので、最高プロセス温度が450℃以下であり、以上のような基板材料の制約や、歪みや縮みの問題を克服することを課題とする。

【0007】

【課題を解決するための手段】 本発明では、従来のような熱平衡的なプロセスによってではなく、パルスレーザ

一光またはそれと同様の強光の照射によって半導体被膜の結晶性の改善をおこなうことを特徴とするものである。この結果、もはや半導体被膜の結晶性を改善するためのアニールが最高プロセス温度を決定するのではなく、その他の要因（例えば、水素化アニールやゲイト酸化膜のアニール等）が最高プロセス温度を決定することとなり、基板の選択の巾は著しく改善される。

【0008】例えば、ソーダガラスまたは無アルカリガラス（例えば、コーニング7059ガラス）は、軟化点が低く、従来はTFTをその上に形成して動作させることは不可能とされてきたが、本発明によって適切な処置を施せばTFTを動作させることが可能である。

【0009】本発明のプロセスは、絶縁基板上に半導体被膜を形成する工程と、その上にレーザー光またはそれと同様の強光に対して透明な絶縁被膜を形成する工程と、この積層膜にパルスレーザー光またはそれと同様の強光を照射して、半導体被膜の結晶性を改善する工程と、前記絶縁被膜を除去して、半導体被膜の表面にゲイト絶縁膜を形成する工程と、さらに、ゲイト電極を形成する工程と、このゲイト電極を主たるマスクとして自己整合的に不純物元素をイオン注入やイオンドーピング等の方法で半導体被膜に導入する工程と、さらにパルスレーザー光またはそれと同様の強光を照射して、前記不純物元素の導入過程で破壊された半導体被膜の結晶性を改善せしめる工程とからなる。また、後の2つの工程は本発明人等の出願であるレーザードーピング（例えば、特願平4-100479）によって置き換えてもよい。本発明においては、ゲイト電極・配線の材料としてはアルミニウム等の低抵抗の金属材料が好ましい。また、本発明で使用するパルスレーザーとしては、KrF、ArF、XeCl、XeF等のエキシマーレーザーのような紫外光レーザーが望ましい。また、前記絶縁基板と前記半導体被膜には、窒化珪素、酸化アルミニウム及び窒化アルミニウムから選ばれた材料からなる絶縁被膜、またはこの絶縁被膜と酸化珪素膜の積層膜を設けるのが好ましい。この酸化珪素膜は300～3000Å好ましくは500～1500Åである。前記窒化珪素、酸化アルミニウム及び窒化アルミニウムから選ばれた材料からなる絶縁被膜は300～3000Å好ましくは1000～2000Åである。また、ハロゲン赤外線ランプ光を前記強光として用いることができる。レーザー光と同等な強光（パルス光）とは、結晶化に際して不純物の偏析を十分行わない範囲での短い時間、一般的には5分以内で結晶化をするための光エネルギーまたは光エネルギーと熱の補助エネルギーを意味する。

【0010】本発明で特徴的なことは、レーザー光またはそれと同様の強光による照射によって活性層の結晶性を改善せしめる際に設けた保護層を除去して、ゲイト絶縁膜は別の皮膜を用いるということである。この工程によって、TFTの諸特性を著しく向上させることができ

た。これは以下のように推測される。すなわち、このようなアモルファス状態からの結晶化においては、界面が必ずしも明らかでなく、界面には非化学量論比の化合物が形成されていることがよくある。この場合にはシリコンの多い酸化珪素が界面付近に形成されやすい。しかし、このような非化学量論比の酸化珪素は絶縁体としても、また半導体としても不十分な働きしかしない。絶縁ゲイト型素子においては界面が重要であることは周知のことであるが、このような非化学量論比の酸化珪素を残したままでは十分な特性は得られない。

【0011】しかし、何の保護層も無いままにレーザー光またはそれと同様の強光による照射をおこなえば皮膜の表面の凹凸が激しく、十分な特性が得られない。本発明のように、一度設けた保護層を除去してしまうということは、前述の非化学量論比の酸化珪素をも除去してしまうことであり、この結果、純粋に結晶性の良好なシリコンが界面に現れることとなる。特に保護層の除去にはフッ化水素酸等を用いてウェットエッチングをおこなうと良好な結果が得られた。ドライエッチングでは、シリコン膜にダメージを与えるのに対し、ウェットエッチングでは、そのようなダメージが無いとともに、最表面のシリコン原子のダングリングボンドが他のシリコン原子と二重結合する前に弗素や水素で終端してしまつて、極めて安定な表面を形成するためであると考えられる。

【0012】また、本発明においては、レーザー光またはそれと同様の強光によるアニールによって形成される結晶性のよい領域の深さを、本発明人等の発明である特願平3-50793に記述されるように必要に応じて自由に設定・変更し、結果として活性層を2層構造として、ソース/ドレイン間のリーク電流を低減させるような構造としてもよい。また、本発明においては、レーザーまたは赤外線ランプによるアニールの際、基板を100～500℃代表的には300～400℃で補助加熱をすると均一性が向上して好ましい。

【0013】本発明の第1の応用例としては、アモルファスシリコン（a-Si）TFTを用いたアクティブマトリクス（AM）型の液晶表示装置（LCD）の周辺回路がある。a-SiTFT-AMLCDは、基板として無アルカリガラス（例えばコーニング7059）を用い、通常400℃以下の温度でa-SiTFTを形成するのであるが、a-SiTFTは、OFF抵抗が高く、アクティブマトリクスのスイッチング素子としては理想的であるが、先にも述べたように動作速度が遅く、また、CMOSが形成できないという理由から、周辺駆動回路は単結晶集積回路（IC）を使用し、マトリクスの端子をTAB等の方法でICの端子に接続している。しかしながら、このような実装方法は、画素の大きさが小さくなるにしたがって、困難なものとなり、また、実装に要する費用がモジュールの大きな部分を占めるようになった。

【0014】しかしながら、従来のプロセスではマトリクスと同じ基板上に周辺回路を形成することは、熱的な問題から困難であった。しかしながら、本発明によって、 $a-SiTFET$ の形成に要する温度と同じ程度の温度でより移動度の大きな $TFET$ を形成することができるようになった。

【0015】第2の応用例としては、無アルカリガラスよりも安価なソーダガラス等の材料の上に $TFET$ を形成することである。この場合には、 $TFET$ をソーダガラスに密着して形成すると、ガラス中に含まれるナトリウム等の可動イオンが侵入するので、ガラス上には窒化珪素もしくは酸化アルミニウムもしくは窒化アルミニウムを主成分とする絶縁被膜を形成し、さらにその上に酸化珪素等の材料で下地の絶縁膜を形成してから、本発明を適用して $TFET$ を形成することが望まれる。またより不良を少なくするには、マトリクスの $TFET$ としては、 $NTFT$ よりも $PTFT$ を用いることが好まれる。なぜならば、 $NTFT$ では、基板から可動イオンが侵入した場合にはチャンネルが形成されて $TFET$ が常時オン状態となるが、 $PTFT$ では、例えば可動イオンが侵入してもチャンネルが形成されないからである。

【0016】第3の応用例としては、スタティックな駆動をする単純マトリクスのLCDの周辺回路がある。例えば、強誘電性液晶材料(FLC)は、メモリー性があるので、単純マトリクスであっても、高コントラストが得られるが、従来は周辺回路は $a-SiTFET-AMLCD$ と同じくICをTAB等の方法で接続していた。同様に液晶のコレステリック相とネマティック相との間の相変化を利用してスタティックな動作をおこなうLCDも周辺回路をTAB接続していた。また、ネマティック液晶と強誘電ポリマーを組み合わせることによってスタティックな駆動をおこなうLCD(例えば、特開昭61-1152)も提案されているが、やはり周辺回路はTAB接続されることが前提とされている。

【0017】これらのLCDは単純マトリクスであるので、安価な基板を使用して大画面がえられると同時により高精彩が得られることも特徴である。高精彩とするためには端子間のピッチを狭めなければならないが、そうするとIC実装が困難となるという矛盾を抱えていた。本発明によって、安価な基板であっても熱的な問題を気にすること無く周辺回路をモノリシックに形成できる。

【0018】第4の応用例としては、金属配線が形成された後の半導体集積回路において、 $TFET$ を形成する、いわゆる3次元ICが上げられる。その他にも様々な応用が可能である。

【0019】

【実施例】
【実施例1】 $a-SiTFET$ を利用したアクティブマトリクス(AM)型LCDの周辺回路を本発明によって形成した例を示す。先に述べたように従来の $s-SiTFET$ のAMLCDは、周辺回路までは一体化

して形成することができなかったために、TAB接続によっていた。しかしながら、TAB法では、ICのコストと接続のためのコストが膨大で、パネルモジュールの20%以上を占めるようになっていた。これを同一ガラス基板上にモノリシックに形成することによってコストの削減を図った。

【0020】まず、基板(コーニング7059、 $300\text{mm} \times 300\text{mm}$ もしくは $100\text{mm} \times 100\text{mm}$)101上に下地酸化膜102として厚さ $100 \sim 300\text{nm}$ の酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法やTEOSをプラズマCVD法で分解・堆積した膜を $450 \sim 650^\circ\text{C}$ でアニールしてもよい。

【0021】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜103を $30 \sim 150\text{nm}$ 、好ましくは $50 \sim 100\text{nm}$ 堆積し、さらに、プラズマCVD法によって、保護層104として、厚さ $20 \sim 100\text{nm}$ 、好ましくは $50 \sim 70\text{nm}$ の酸化珪素または窒化珪素膜を形成した。そして、図1(A)に示すようにKrFエキシマーレーザー(波長 248nm 、パルス幅 20nsec)を照射して、シリコン膜103の結晶性を改善させた。レーザーのエネルギー密度は $200 \sim 400\text{mJ}/\text{cm}^2$ 、好ましくは $250 \sim 300\text{mJ}/\text{cm}^2$ とした。このようにして形成されたシリコン膜103の結晶性をラマン散乱分光法によって調べたところ、単結晶シリコンのピーク(521cm^{-1})とは異なって、 515cm^{-1} 付近に比較的にブロードなピークが観測された。レーザー照射の時、 $100 \sim 500^\circ\text{C}$ に補助加熱をしておくことと結晶の均一性が向上する。その後、水素中で 350°C で2時間アニールした。

【0022】次に保護層104を除去して、シリコン層103を露出せしめ、これを島状にパターニングして、 $NTFT$ 領域105と $PTFT$ 領域106を形成した。さらに、酸素雰囲気中でのスパッタ法やTEOSをプラズマCVD法で分解・堆積した膜を $450 \sim 650^\circ\text{C}$ でアニールする方法によって、ゲイト酸化膜107を形成した。特に後者の方法を採用する場合には、本工程の温度によって、基板に歪みや縮みが生じ、後のマスク合わせが困難となる恐れがあるので大面積基板を扱う場合には十分に注意しなければならない。また、スパッタ法では基板温度は 150°C 以下にできるが、膜中のダングリングボンド等を減らして、固定電荷の影響を減らすために水素中で 450°C 程度のアニールをすることが望ましい。

【0023】その後、厚さ $200\text{nm} \sim 5\mu\text{m}$ のアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、図1(B)に示すようにゲイト電極108、109を形成した。なお、このとき同時にアクティブマトリクス部の $TFET$ (逆スタガー型)のゲイト電極110も形成される。

【0024】さらに、図1(C)に示すように、基板を電解溶液に浸してゲイト電極に電流を通じ、その周囲に陽極酸化物の層111~113を形成した。なお、この際には、本発明人等の発明である特願平4-30220、同4-38637および同4-54322に示される如く、周辺回路領域のTFT(すなわち、図の左側のTFT)の陽極酸化膜を薄くして移動度を向上せしめ、また、アクティブマトリクス部のTFT(すなわち、図の右側の逆スタガー型TFT)の陽極酸化膜を厚くしてゲイトリークを防止するという構成を取ることが望ましい。本実施例では、いずれも陽極酸化膜の厚さは200~250nmとした。

【0025】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン(PH₃)をドーピングガスとして燐を注入し、その後、図の島状領域105だけをフォトレジストで覆って、ジボラン(B₂H₆)をドーピングガスとして、島状領域106だけに硼素を注入した。ドー20
量は、燐は $2\sim 8\times 10^{16}\text{ cm}^{-2}$ 、硼素は $4\sim 10\times 10^{16}\text{ cm}^{-2}$ とし、硼素のドーピング量が燐を上回るように設定した。

【0026】その後、図1(D)に示すようにKrFエキシマーレーザー(波長248nm、パルス幅20ns ec)を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²とした。このレーザー照射の時、100~500℃に補助加熱をしておく2と結晶の均一性が向上する。

【0027】この結果、N型の領域114、115、およびP型の領域116、117が形成された。これらの領域のシート抵抗は200~800Ω/□であった。その後、全面に層間絶縁物118として、スパッタ法によって酸化珪素膜を厚さ300nm形成した。これは、プラズマCVD法による窒化珪素膜であってもよい。この膜は周辺回路では単なる層間絶縁物であるが、アクティブマトリクス部ではTFTのゲイト絶縁膜となるので、その作製には注意が必要である。

【0028】その後、アクティブマトリクス部のゲイト電極110上に厚さ20~50nmのアモルファスシリコン層119を形成し、さらに、プラズマCVD法によって、a-SiTFTのソース/ドレインとなるマイクロクリスタル状のシリコン層(厚さ50~100nm)を形成し、これをパターンニングして、ソース/ドレイン120、121を作製した。

【0029】その後、周辺回路部のTFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線122、123、124を形成した。この場合には、左

側のNTFTとPTFTでインバータ回路が形成されていることが示されている。さらに、アクティブマトリクス部のTFTには、透明導電材料(ITO等)で画素電極125を形成した。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。なお、本実施例では、アクティブマトリクスのa-SiTFTとしては逆スタガー型TFTを用いたが、これはa-Siは光照射で導電率が変化するので、チャネル部に光が入射しないようにするためである。外光に対する十分な対策が施されたならば、通常のプレーナー型のTFTとしてもよいことはいうまでもない。

【0030】図6には、本実施例で作製した周辺駆動回路部のTFTの特性の例を示す。これは、LPCVD法で形成した厚さ50nmのシリコン膜上に、厚さ20nmの保護層を形成し、真空中でKrFレーザーにて結晶化させたものである。このときのレーザーのエネルギー密度は250mJ/cm²で、10ショット照射した。さらに、保護層を除去した後、スパッタ法によって酸化珪素膜を厚さ120nmだけ形成し、これをゲイト酸化膜とした。そして、ゲイト電極を形成した後、陽極酸化法によって、厚さ206nmの陽極酸化膜を形成し、これをマスクとして、燐イオンを65keV、また、硼素イオンを80keVに加速して、スルーインブラして、不純物領域を自己整合的に形成し、さらに大気中でKrFレーザー(エネルギー密度300mJ/cm²、10ショット)を照射して活性化させた。

【0031】図6(A)はNTFTを、同(B)はPTFTの特性をそれぞれ示している。TFTのチャネルの大きさは長さ3.5μm、幅15μmである。電界移動度はNTFTでは60cm²/Vs、PTFTでは30cm²/Vsに達した。また、TFTのON/OFFの急峻性を示すS値はNTFTで0.42V/桁、PTFTで0.53V/桁、しきい値電圧はNTFTが3.9V、PTFTが-5.4Vであった。ドレイン電圧を1Vもしくは-1VとしたときのON/OFF比は、NTFTで8.7桁、PTFTで6.9桁であった。

【0032】〔実施例2〕ソーダガラス基板上にアクティブマトリクスを形成した例を示す。基板201としてはソーダガラス基板(厚さ1.1mm、300×400mm)を使用した。ソーダガラスは多量のナトリウムを含有するので、このナトリウムがTFT中に拡散しないようにプラズマCVD法で全面に厚さ5~50nm、好ましくは5~20nmの窒化珪素膜202を形成した。このように、基板を窒化珪素または酸化アルミニウムの皮膜でコーティングしてこれをブロッキング層とする技術は、本発明人等の出願である特願平3-238710、同3-238714に記述されている。また、膜202は、窒化アルミニウムであってもよい。

【0033】ついで下地酸化膜203(酸化珪素)を形成した後、LPCVD法もしくはプラズマCVD法でシリコン膜204(厚さ30~150nm、好ましくは30~50nm)を形成し、さらに酸化珪素の保護層205を形成した。そして、図2(A)に示すようにKrFレーザー光を照射して、このシリコン膜204の結晶性を改善せしめた。しかし、このときにはレーザー光のエネルギー密度は150~200mJ/cm²と、実施例1の場合よりも若干、低めに設定し、また、ショット数も10回とした。その結果、この時に得られたシリコン膜の結晶性は実施例1のものよりもアモルファスに近いものであった。実際に、この状態で得られるシリコン膜の正孔の電界移動度は、3~10cm²/Vsと実施例1のものに比して小さかった。

【0034】次に、保護層を除去して、シリコン膜を島状の領域206にパターニングし、スパッタ法によって厚さ50~300nm、好ましくは70~150nmのゲイト酸化膜207を形成した。また、実施例1と同じ要領でアルミニウムのゲイト電極208を形成して、その周囲を陽極酸化物209で被覆した。この様子を図2(B)に示す。

【0035】その後、P型の不純物として、硼素をイオンドーピング法でシリコン層に自己整合的に注入し、TFTのソース/ドレイン210、211を形成し、さらに、図2(C)に示すように、これにKrFレーザー光を照射して、このイオンドーピングのために結晶性の劣化したシリコン膜の結晶性を改善せしめた。しかし、このときにはレーザー光のエネルギー密度は250~300mJ/cm²と高めに設定した。このため、このTFTのソース/ドレインのシート抵抗は400~800Ω/□と、実施例1のものと同等であった。

【0036】このように、活性層の電界移動度は小さかったが、これはアクティブマトリックスのTFTとして使用するには都合のよいものである。すなわち、ON抵抗も高いが、OFF抵抗がそれ以上に十分に高いので、従来のような補助容量を設ける必要がない。特に、ナトリウム等の可動イオンはNチャネル型のMOSでは、リーク電流の原因となったが、本実施例ではPチャネル型であるので、何ら問題はない。

【0037】また、本実施例では最高プロセス温度が酸化珪素膜あるいは酸化珪素膜作製の際の350℃が限界で、それ以上の高温ではソーダガラスが軟化する。このような著しく低温でのプロセスを要求される場合にはゲイト酸化膜の欠陥が問題となる。実施例1の場合には基板の耐熱性は比較的良好であったので、ゲイト酸化膜を450℃までの温度でアニールすることができたが、ソーダガラス基板ではそれは不可能である。結果的にはゲイト酸化膜中には固定電荷が多数残されることとなる。この場合の固定電荷は主として正の電荷である。したがって、Nチャネル型のMOSでは、この固定電荷の影響

でソース/ドレイン間のリークが大きく、実際に使用できない。しかし、Pチャネル型のMOSでは、固定電荷はしきい値電圧に対しては影響があるが、アクティブマトリックスの動作で不可欠な低リークという特性は守られる。一方、ソース/ドレインは高いエネルギーのレーザーでアニールされたので、シート抵抗が小さく、信号の遅延が抑えられる。

【0038】その後、ポリイミドによって層間絶縁物212を形成し、さらに、画素電極213をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース/ドレイン領域にアルミニウムで電極214、215を形成し、このうち一方の電極215はITOにも接続するようにした。最後に、水素中で300℃で2時間アニールして、シリコンの水素化を完了した。

【0039】このようにして作製した1枚の基板上にアクティブマトリックスを4個形成し、これを分断して4枚のアクティブマトリックスパネルを取り出した。本実施例で得られたアクティブマトリックスには周辺回路が付属していないので、周辺回路は駆動用のICをTAB等の方法で接続しなければならない。しかし、基板が従来のa-SiTFT-AMLCDで使用されていた無アルカリガラス基板よりも安価なソーダガラスであるのでコスト的には十分に採算が合う。特に大画面で高精彩なパネルには本実施例で作製したパネルが適していた。図11に、得られたアクティブマトリックスの概略図を示す。952がアクティブマトリックスで、951が周辺回路である。周辺回路951は、ドライバTFTとシフトレジスタを有する。953はアクティブマトリックスの画素であり、956はアクティブマトリックスのTFT、954は液晶層、955は補助容量である。

【0040】例えば、従来のa-SiTFTでは移動度が0.5~1.0cm²/Vs程度であったので、行数が1000を超えるような大規模なマトリックスには使用できなかった。しかし、本実施例ではa-Siよりも3~10倍も移動度が大いなので何ら問題がないだけでなく、アナログ的な階調表示にも十分に反応できる。また、ゲイト線もデータ線もアルミニウムであるので特に対角が20インチを超えるような大きな画面では、信号の遅延や減衰が著しく低減できる。

【0041】〔実施例3〕本実施例では、強誘電性ポリマーの持つ、ダイオード特性とメモリー特性を利用した高コントラストLCDにおいて、周辺回路を基板上に一体化して形成することによってコストの削減を図った例を示す。このような構成を有するLCDは、例えば、特願昭61-1152に記述される。

【0042】このLCDは、半スタティックな動作が可能であるため、TN液晶を用いた単純マトリックスであっても非常にコントラストの高い表示が可能である。また、MIM型の非線型素子のような作製上の問題は少ない。この動作原理は図4に示される。

【0043】一般の強誘電体は、図4(A)に示すようにE(電場)-D(電束密度)特性はヒステリシスを示す。すなわち、強誘電体内ではある大きさの外部電場が印加されるまで常に一定の分極が生じているのであるが、ある大きさ以上の電場が印加されると内部の分極が反転する。この際には電気回路的には電荷の移動、すなわち電流が生じる。例えば、強誘電体をはさんだコンデンサー(FE)と液晶等の材料をはさんだコンデンサー(LC、容量をCとする)を直列に接続する回路を考えてみる。実際には、強誘電体のコンデンサーには並列に比較的大きな抵抗Rが入っていることが多い。したがって、実際の回路は図4(C)のようになる。ここで、FEはコンデンサーだけでなく、並列に非線型な抵抗成分も有していることに注意しなければならない。そして、このような回路に交流を印加して、回路に流れ込む電流の変化を調べると図4(B)のように、やはりヒステリシスを有する非線型な特性が得られる。

【0044】もし、対向電極の電位が、一方は $-V_0$ か0、他方は0か $+V_0$ であれば、セルにかかる電圧は、 $\pm 2V_0$ 、 $\pm V_0$ 、0のいずれかである。このうち、電圧が $\pm 2V_0$ のいずれかになれば、図4(B)に示すように、そこへ変移する間に、FEの抵抗が著しく低下し、LCに十分な電荷が供給されることとなる。そして、次に $\pm V_0$ 、0のいずれの状態に移しても、FEの抵抗はそれほど低下せず、結局、この間には並列抵抗Rからのリーク電流のみが問題となる。このリーク電流によってLCの電荷が喪失される。すなわち、 $\pm 2V_0$ は選択状態であり、それ以外の状態は非選択状態である。

【0045】図4(B)において点鎖線で示した原点を通る直線は、Rによる電流のリークであり、実はこのRとCの関係がLCDとして利用するうえで重要である。詳細な議論は省略するが、この画素の時定数 $\tau=RC$ が、1フレームの周期よりも極端に短ければFEの寄与が少なく、すなわちコントラストが低下する。一方、 τ が1フレームの周期よりも極端に長ければ、画像の書換えの際に残像が生じ、非常に見にくくなる。したがって、 τ は1フレームの周期にできるだけ近づける方がよい。

【0046】セルの概要を図5に示す。通常のLCDと同様に2枚の基板501、502間に液晶材料512が挟まれた構造を有する。セル厚を均一にするためにスペーサー511が介在される。液晶材料としてはTN液晶やSTN液晶、あるいは複屈折を使用する非ねじれモードのネマティック液晶や強誘電性液晶、およびネマティック、コレステリック等の液晶をポリマー内に分散させた分散型液晶(PDLC)等様々なものが使用できる。

【0047】一般的な単純マトリクスと同様に、ITO等の透明電極で、形成されたストライプ状の電極505

と506は互いに直交するように配置されているが、通常の単純マトリクスと異なるのは一方の電極506上に、強誘電ポリマー507をはさんで島状のITO等の透明導電被膜が形成されている。これらの電極を覆って、配向膜509、510が形成されている。詳細は、特願昭61-1152に記述される。

【0048】さて、このようなLCDにおいては、従来通り、ICのTAB接続によって駆動をおこなっていたのであるが、これはいくつかの点で限界があった。一つには、このような方式のLCDでは、液晶に印加される電圧は1か0のいずれかで、しかも、この方式の特色である高コントラストを達成するために、この電圧がほぼ1フレームの間印加されることとなる。したがって、階調表示をおこなおうとすれば、TFTLCDでおこなわれているようなアナログ的な階調表示は困難であり、また、STNLCDでおこなわれるようなパルス変調方式やフレーム変調方式も採用できない。結果として面積階調に頼ることとなり、したがって、画素数が非常に増大する。

【0049】そのこと自体はこのLCDにおいては本質的な困難ではない。というのは、この種のLCDは構造が簡単であるので大容量マトリクスはむしろ得意なのである。しかしながら、実際には接続端子密度が20本/mmとなると、もはやTAB方式で対応できるものではなく、また、COG(チップ・オン・ガラス)法でも作製が困難となる。したがって、同じ基板上にモノリシックに周辺駆動回路を形成することが求められていた。

【0050】例えば64階調の面積階調を達成するには、1画素に6個のサブ画素が必要であり、通常のマトリクスの2~3倍の行数が要求される。したがって、XGA規格等の高精彩画面では、本方式を採用すると行数が1500~3000行にも達するので、対角15インチの大型画面であっても、10~15本/mmは必要である。さらに画面が小さくなればより高密度な実装が要求される。特に、本方式のLCDと高透過率液晶であるPDLCを利用してプロジェクション型のディスプレイを構成する場合には、基板サイズは対角5インチ以下となる。

【0051】また、このときには高密度実装だけでなく、ICは高速動作が要求される。この場合、単結晶半導体基板上の回路よりも絶縁基板上の回路の方が損失が少なく、高速動作が可能である。しかし、この場合には実施例2のように、電界移動度が $10\text{ cm}^2/\text{Vs}$ 以下であると利用上問題が生じるので、移動度は $30\text{ cm}^2/\text{Vs}$ 以上、好ましくは $50\text{ cm}^2/\text{Vs}$ 以上が要求される。

【0052】そのためにも本発明のレーザーアニールまたはレーザー光と同様の強光によるアニールによる低温プロセスが望まれる。以下に、図3に記述された周辺回路作製プロセスを説明する。基板301としてはコーニ

15

ング7059もしくはこれと同等な無アルカリガラス基板を使用した。基板のサイズは300mm×400mmであった。この上に下地酸化膜(酸化珪素)302を形成し、さらにシリコン層303と保護層304を形成し、図3(A)に示すように実施例1と同じ条件でレーザー照射をおこなった。

【0053】その後、シリコン層を島状にパターニングし、NTFT領域305とPTFT領域306とを形成し、さらにゲイト酸化膜(酸化珪素)307を形成した。そして、図3(B)に示すようにアルミニウムゲイト電極308、309を形成した。このとき、アルミニウムは後のレーザー照射に耐える必要があるため、反射率の高い電子ビーム蒸着によって形成したアルミニウムを用いた。スパッタ法で形成したアルミニウムは粒の大きさが1μm程度もあり、極めて表面が荒れていたため、レーザーを照射すると著しいダメージを受けた。電子ビーム蒸着で形成したアルミニウム膜では光学顕微鏡では粒の存在が確認できないほど表面が平坦であった。電子顕微鏡によって観測した結果、粒の大きさは200nm以下であった。すなわち、使用するレーザーの波長よりも小さな粒径となるようにしなければならない。

【0054】ついで、イオンドーピング法によってN型不純物(燐)を領域310、311に、P型不純物(硼素)を領域312、313に導入し、図3(C)に示すようにレーザーアニールをおこなった。レーザー照射の条件は実施例1および2と同じとした。このレーザー照射ではアルミのゲイト電極はほとんどダメージを受けなかった。

【0055】最後に、図3(D)に示すように、層間絶縁物(酸化珪素)314を形成し、これにコンタクトホールを形成して、アルミニウム配線315~317でTFT間の接続をおこなった。このようにして、周辺回路を形成した。図には示されないが、その後、ストライプ状のITO膜を形成して、画素電極を構成し、基板を4つに分断して、1枚の大きさが150mm×200mmの基板を4枚取り出し、さらに2枚の基板には特願昭61-1152に記述される方法によって強誘電ポリマー等の形成をおこなった。そして、図5に示すような基板を2枚張り合わせてLCDを完成させた。

【0056】〔実施例4〕 図7に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路に本発明のレーザー結晶化シリコンTFTを使用したものであるが、実施例1とは異なり、アクティブマトリクス領域のTFTは、トップゲイト型(ゲイトが基板と逆の方向にある)のアモルファスシリコンを使用している。この場合には、両TFTの活性層を同一プロセスで作製できるが、レーザー結晶化の特性もアモルファスシリコンとしての特性も両方とも優れていることが求められるので、条件はやや厳しくなる。

【0057】まず、コーニング7059基板701上

16

に、スパッタ法によって下地酸化膜702を厚さ20~200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法によって、アモルファスシリコン膜を厚さ50~150nm堆積した。このときには、アモルファスシリコン膜はそのままa-SiTFTとして機能することが要求されると同時に、レーザー照射に耐えることも要求される。本発明人等の知見では、アモルファスシリコン膜を作製するときに基板温度を300~400℃とすると特性の優れたアモルファスシリコン膜が得られる。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜(厚さ10~50nm)705を形成した。その後、アクティブマトリクス領域をフォトリソで覆う等して、周辺回路のみにレーザー光を照射した。

【0058】この状態で図7(A)に示すようにレーザー照射をおこなった。使用したレーザーの種類、条件等は実施例1と同じとした。ただし、このときのレーザーのエネルギー密度は、200~250mJ/cm²がより好ましかった。これは、プラズマCVD法によって形成されたアモルファスシリコン膜には水素が過剰に含まれているために、強力なレーザー光が照射されると水素がガス化して、膨張し、膜が破壊されるためである。このようにしてシリコン膜の結晶化をおこない、結晶化領域704を形成した。一方、フォトリソに覆われていた部分にはレーザー光が到達しないので、アモルファスシリコンのままであった。

【0059】その後、これらのSi膜を島状にパターニングし、例えば、図7(B)のように、周辺回路の島状領域707とアクティブマトリクス領域の島状領域708を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜を形成し、これをゲイト絶縁膜709とした。そして、実施例1と同様に、陽極酸化膜で被覆された金属ゲイト電極710、711、712を形成した。

【0060】ついで、図7(C)に示すように、N型不純物を領域713と715に、P型不純物を領域714に注入し、さらに、これにレーザー光を照射して、不純物の注入された領域を結晶化させた。条件は、実施例1と同じとした。この際には、領域716および717は、既に図7(A)の段階で結晶化しているが、領域718は、この工程でも結晶化しない。すなわち、図7の右端のTFT(アクティブマトリクス領域のTFT)は、ソース/ドレインは結晶化しているが、活性層はアモルファス状態のa-SiTFTである。

【0061】最後に、TEOSのプラズマCVD法によって、層間絶縁物として酸化珪素膜(厚さ400~1000nm)719を堆積し、さらに、アクティブマトリクス領域にはITO膜720を厚さ100~300nm形成し、これをパターニングして、画素電極とし、また、層間絶縁物にコンタクトホールを形成して、その上

に金属配線721~724を形成した。これによって、TFTアクティブマトリクス型液晶表示装置を作製した。この液晶表示装置においては、アクティブマトリクス回路中の薄膜トランジスタの活性領域は、周辺回路中の薄膜トランジスタの活性領域に比較して結晶性が低い。アクティブマトリクス回路中の薄膜トランジスタの活性領域は、暗時の抵抗率が $10^9 \Omega \cdot \text{cm}$ 以上の実質的にアモルファスシリコンの膜である。

【0062】本実施例で示した方式は実施例1と同様に画素のTFTにOFF抵抗の高いa-SiTFTを使用しているが、実施例1のものは逆スタガー型であったのに対し、本実施例ではトップゲイト型である。また、実施例1では、周辺回路のTFTとアクティブマトリクスのTFTを作製する工程はゲイト電極作製工程以外は別であったので、工程数が増加したが、本実施例では、周辺回路のTFTとアクティブマトリクスのTFTが平行して作製されるので、工程数を削減することが出来る。

【0063】しかしながら、a-SiTFTとして適当なSi膜は水素を多く含むことが望まれるのに対し、レーザーによって結晶化するには水素含有量はできるだけ少ないことが望まれる。このように特性が相反するので、双方の条件をできるだけ満足するようなSi膜を形成しなければならないのが問題である。例えば、プラズマCVD法であっても、ECRプラズマやマイクロ波プラズマ等の高エネルギープラズマを用いて作製したSi膜には、結晶化したクラスターが多く含まれているので、本実施例の目的には理想的であるが、OFF抵抗がやや低いことが問題である。

【0064】〔実施例5〕 図8に本実施例を示す。実施例1乃至4においては、TFT領域は分断されることによって、互いに絶縁された。これに対し、本実施例では、シリコン層を一面に形成し、これを選択的に結晶化させ、また、厚い絶縁膜を使用することによって、TFT間の分離をおこなおうというものである。

【0065】まず、絶縁基板801上に下地酸化珪素膜802と厚さ50~150nmのアモルファスシリコン膜もしくはそれと実質的に同じ程度の結晶性の低いシリコン膜を堆積した。本実施例では、アモルファスシリコン膜は十分な耐レーザー性と高抵抗が要求されるので、アモルファスシリコン膜の作製条件は実施例4と同じとした。その後、全面に厚さ10~500nm、好ましくは10~50nmの酸化珪素膜をプラズマCVD法によって形成し、その一部をエッチングすることによって、酸化珪素膜の厚い領域805と薄い領域806を形成した。このときには、等法的なエッチング方法を利用すると、図8(A)のように、段差が緩やかで、段差によって配線が断線することが防止できた。

【0066】このような状態でボロンを軽くドーピングし、さらに、レーザー照射によって結晶化をおこなった。その結果、図8(A)に示すようにアモルファスシ

リコン層は一部が結晶化されて、領域804となり、その他の領域803はアモルファスシリコンのままであった。この領域804はボロンドープによって、実質的に真性もしくは弱いp型になっている。

【0067】この工程は、図8(E)に示すような方法によっておこなってもよい。すなわち、酸化珪素層を形成した後、その上にアルミニウムやチタン、クロム等のレーザー光を反射する材料もしくはレーザー光を透過させない材料で厚さ20~500nmの被膜を形成し、これをパターニングする。そして、この被膜819をマスクとして、酸化珪素層を等方的にエッチングし、酸化珪素層において、厚い領域817と薄い領域818を形成する。その後、このマスク819が残存した状態でレーザー照射をおこない、アモルファスシリコン層の選択的な結晶化をおこなって、結晶化領域816とアモルファスシリコン領域815を形成する。

【0068】つぎに、図8(B)に示すように、ゲイト酸化膜(酸化珪素)807を形成し、陽極酸化物を有する金属ゲイト電極808を形成した。この際には、金属ゲイトのエッチングに、ウェットエッチング法を採用したために、ゲイト電極の側面がテーパー状になった。このような形状は、配線の交差部での断線を防止するうえで効果があった。

【0069】さらに、図8(C)に示すようにイオンドーピング法によって、N型領域809とP型領域810を形成し、これにレーザー光を照射して活性化させた。その後、図8(D)に示すように、層間絶縁物811を堆積し、これにコンタクトホールを設けて、金属配線812~814を形成することによって、回路を完成できた。本実施例では、基板上に不透明なアモルファスシリコンが多く残るので、例えば、LCDのアクティブマトリクス領域には使用できないが、周辺回路領域やイメージセンサーの駆動回路には利用できる。本実施例は、比較的厚い(100nm以上)活性層が必要とされる回路においては、素子間の分離のための段差が小さく、したがって、配線の断線等を著しく低減せしめることが可能である。特に高密度な集積回路においてはその効果が顕著である。

【0070】〔実施例6〕 図9に本実施例を示す。本実施例も実施例5と同様に、シリコン層を一面に形成し、これを選択的に結晶化させることによってTFT間の分離をおこなおうというものである。ただし、実施例5に用いたような凹凸のある酸化膜を用いないために、より配線の断線を防止することができる。

【0071】まず、絶縁基板901上に下地酸化珪素膜902と厚さ50~150nmのアモルファスシリコン膜もしくはそれと実質的に同じ程度の結晶性の低いシリコン膜(以下、アモルファスシリコン膜と総称する)を堆積した。本実施例でも、アモルファスシリコン膜は十分な耐レーザー性と高抵抗が要求されるので、アモル

19

アスシリコン膜の作製条件は実施例4と同じとした。さらに、アモルファスシリコン膜の表面に厚さ20~100nmの保護の酸化珪素層905を堆積した。この酸化珪素層905はそのまま残置せしめて、後にTFTのゲイト絶縁膜としてもよいが、先に述べたように、このようなTFTでは移動度が低いことに注意しなければならない。その後、アルミニウムやチタン、クロム等のレーザー光を反射する材料もしくはレーザー光を透過させない材料で厚さ20~500nmの被膜を形成し、これをパターニングした。そして、図9(A)に示すように、この被膜906をマスクとして、レーザー照射をおこな

い、アモルファスシリコン層の選択的な結晶化をおこなって、結晶化領域904とアモルファスシリコン領域903を形成した。
【0072】つぎに、図9(B)に示すように、新たに形成したゲイト絶縁膜上に陽極酸化物を有する金属ゲイト電極907、908を形成した。この際には、金属ゲイトのエッチングに、ウェットエッチング法を採用したために、ゲイト電極の側面がテーパー状になった。このような形状は、配線の交差部での断線を防止するうえで効果があった。さらに、フォトレジスト909を塗布し、これをパターニングして、Nチャネル型TFTの部分のみが露出するようにした。

【0073】さらに、フォトレジストをマスクとしてN型不純物を注入し、さらに、その状態でレーザー光を照射して、N型不純物が注入された領域912を活性化した。このときには、不純物の注入された領域以外の領域においてフォトレジストが残っていないと、アモルファスシリコンが結晶化してしまい、特に本実施例のように、素子間の分離に比較的厚い酸化膜が使用できない状況では素子間のリークをもたらすので好ましくない。

【0074】同様に、Pチャネル型TFTに関しても、フォトレジスト910を塗布して、Pチャネル型TFTの部分のみが露出するようにして、P型不純物を注入し、P型不純物領域913を形成した。さらに、フォトレジストを残置せしめたまま、図9(C)に示すようにレーザー光を照射し、先にP型不純物の注入された領域913を活性化せしめた。以上の工程においては、例えば、N型不純物領域912とP型不純物領域912との間の領域914にはレーザー光が照射されることがないのでアモルファスシリコンのままである。したがって、その上に存在する絶縁被膜905（これはゲイト絶縁膜でもある）上に配線を形成しても、この配線によって、反転層が形成されることがあっても、アモルファスシリコンの電界移動度が非常に小さく、抵抗が非常に大きいためリーク電流は微小であり、実際に問題とならない。

【0075】その後、図9(D)に示すように、層間絶縁物915を堆積し、これにコンタクトホールを設けて、金属配線916~918を形成することによって、回路を完成できた。本実施例では、実施例5と同様に基

20

板上に不透明なアモルファスシリコンが多く残るので、例えば、LCDのアクティブマトリクス領域には使用できないが、周辺回路領域やイメージセンサーの駆動回路には利用できる。本実施例は、実施例5とは異なり、ゲイト電極の段差はほとんどなく、したがって、配線の断線等を著しく低減せしめることが可能である。特に高密度な集積回路においてはその効果が顕著である。

【0076】図9(E)は、本実施例で作製したTFT回路の別の断面であり、これは図9(D)のNチャネルTFTの点鎖線A-Bの断面である。図から分かるように、結晶化した不純物領域912、913'とその間の素子分離領域914とが同一平面上にあるので、ゲイト電極917は平坦である。また、不純物領域913'とゲイト電極907にコンタクトする配線917'は、コンタクトホールの部分の段差と、層間絶縁膜の部分の段差があるのみで、実施例1のような島状半導体領域の段差や実施例5のような素子分離のための厚い絶縁膜の段差が存在しないので、より高密度な集積回路を歩留り良く作製するうえで有利である。

【0077】〔実施例7〕ソーダガラス基板上にアクティブマトリクスを形成した例を示す。基板201としては、ソーダガラス基板（厚さ1.1mm、300×400mm）を使用した。基板201上にSiO₂膜216を形成した（図10(A)）。その後、基板の全面に、AlN、SiNまたはAl₂O₃からなる膜202を形成した（図10(A)）。その後は、実施例2と同様に工程を行い、アクティブマトリクスを完成した。即ち、下地酸化膜203（酸化珪素）を形成した後、LPCVD法もしくはプラズマCVD法でシリコン膜204（厚さ30~150nm、好ましくは30~50nm）を形成し、さらに酸化珪素の保護層205を形成した。

【0078】そして、図10(A)に示すようにKrFレーザー光を照射して、このシリコン膜204の結晶性を改善せしめた。しかし、このときにはレーザー光のエネルギー密度は150~200mJ/cm²と、実施例1の場合よりも若干、低めに設定し、また、ショット数も10回とした。その結果、この時に得られたシリコン膜の結晶性は実施例1のものよりもアモルファスに近いものであった。実際に、この状態で得られるシリコン膜の正孔の電界移動度は、3~10cm²/Vsと実施例1のものに比して小さかった。

【0079】次に、保護層を除去して、シリコン膜を島状の領域206にパターニングし、スパッタ法によって厚さ50~300nm、好ましくは70~150nmのゲイト酸化膜207を形成した。また、実施例1と同じ要領でアルミニウムのゲイト電極208を形成して、その周囲を陽極酸化物209で被覆した。この様子を図10(B)に示す。

【0080】その後、P型の不純物として、硼素をイオ

ンドーピング法でシリコン層に自己整合的に注入し、TFTのソース/ドレイン210、211を形成し、さらに、図10(C)に示すように、これにKrFレーザー光を照射して、このイオンドーピングのために結晶性の劣化したシリコン膜の結晶性を改善せしめた。しかし、このときにはレーザー光のエネルギー密度は250~300mJ/cm²と高めに設定した。このため、このTFTのソース/ドレインのシート抵抗は400~800Ω/□と、実施例1のものと同等であった。

【0081】このように、活性層の電界移動度は小さかったが、これはアクティブマトリックスのTFTとして使用するには都合のよいものである。すなわち、ON抵抗も高いが、OFF抵抗がそれ以上に十分に高いので、従来のような補助容量を設ける必要がない。特に、ナトリウム等の可動イオンはNチャネル型のMOSでは、リーク電流の原因となったが、本実施例ではPチャネル型であるので、何ら問題はない。

【0082】また、本実施例では最高プロセス温度が窒化珪素膜あるいは酸化珪素膜作製の際の350℃が限界で、それ以上の高温ではソーダガラスが軟化する。このような著しく低温でのプロセスを要求される場合にはゲイト酸化膜の欠陥が問題となる。実施例1の場合には基板の耐熱性は比較的良好であったので、ゲイト酸化膜を450℃までの温度でアニールすることができたが、ソーダガラス基板ではそれは不可能である。結果的にはゲイト酸化膜中には固定電荷が多数残されることとなる。この場合の固定電荷は主として正の電荷である。したがって、Nチャネル型のMOSでは、この固定電荷の影響でソース/ドレイン間のリークが大きく、実際に使用できない。しかし、Pチャネル型のMOSでは、固定電荷はしきい値電圧に対しては影響があるが、アクティブマトリックスの動作で不可欠な低リークという特性は守られる。一方、ソース/ドレインは高いエネルギーのレーザーでアニールされたので、シート抵抗が小さく、信号の遅延が抑えられる。

【0083】その後、ポリイミドによって層間絶縁物212を形成し、さらに、画素電極213をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース/ドレイン領域にアルミニウムで電極214、215を形成し、このうち一方の電極215はITOにも接続するようにした。最後に、水素中で300℃で2時間アニールして、シリコンの水素化を完了した。

【0084】このようにして作製した1枚の基板上にアクティブマトリックスを4個形成し、これを分断して4枚のアクティブマトリックスパネルを取り出した。本実施例で得られたアクティブマトリックスには周辺回路が付属していないので、周辺回路は駆動用のICをTAB等の方法で接続しなければならない。しかし、基板が従来のa-Si TFT-AMLCDで使用されていた無アルカリガラス基板よりも安価なソーダガラスであるのでコスト

的には十分に採算が合う。特に大画面で高精彩なパネルには本実施例で作製したパネルが適していた。図11に、得られたアクティブマトリックスの概略図を示す。952がアクティブマトリックスで、951が周辺回路である。周辺回路951は、ドライバTFTとシフトレジスタを有する。953はアクティブマトリックスの画素であり、956はアクティブマトリックスのTFT、954は液晶層、955は補助容量である。

【0085】例えば、従来のa-Si TFTでは移動度が0.5~1.0cm²/Vs程度であったので、行数が1000を越えるような大規模なマトリックスには使用できなかった。しかし、本実施例ではa-Siよりも3~10倍も移動度が大きいので何ら問題がないだけでなく、アナログ的な階調表示にも十分に反応できる。また、ゲイト線もデータ線もアルミニウムであるので特に対角が20インチを越えるような大きな画面では、信号の遅延や減衰が著しく低減できる。

【0086】

【発明の効果】本発明によって、低温で極めて歩留りよくTFTを作製することが出来た。そして、実施例において示したように本発明を利用して様々なLCDを形成することができた。これは本発明では、TFTが必要とする特性を自由に設定できるからである。実施例では示さなかったが、本発明を単結晶結晶ICやその他のICの上にさらに半導体回路を積み重ねるといいうわゆる立体ICを形成することに用いてもよい。

【図面の簡単な説明】

【図1】本発明によるTFTの作製方法を示す。

【図2】本発明によるTFTの作製方法を示す。

【図3】本発明によるTFTの作製方法を示す。

【図4】実施例におけるLCDの動作原理を示す。

【図5】実施例におけるLCDのセル構造を示す。

【図6】実施例におけるTFTの特性を示す。

【図7】本発明によるTFTの作製方法を示す。

【図8】本発明によるTFTの作製方法を示す。

【図9】本発明によるTFTの作製方法を示す。

【図10】本発明によるTFTの作製方法を示す。

【図11】本発明によるアクティブマトリックスと周辺回路を示す。

【符号の説明】

101	絶縁基板
102	下地酸化膜
103	半導体領域
104	保護絶縁膜
105	島状半導体領域 (NTFT用)
106	島状半導体領域 (PTFT用)
107	ゲイト絶縁膜
108	ゲイト電極 (NTFT用)
109	ゲイト電極 (PTFT用)
110	ゲイト電極 (アクティブマトリクスa

23

-SiTFT用)

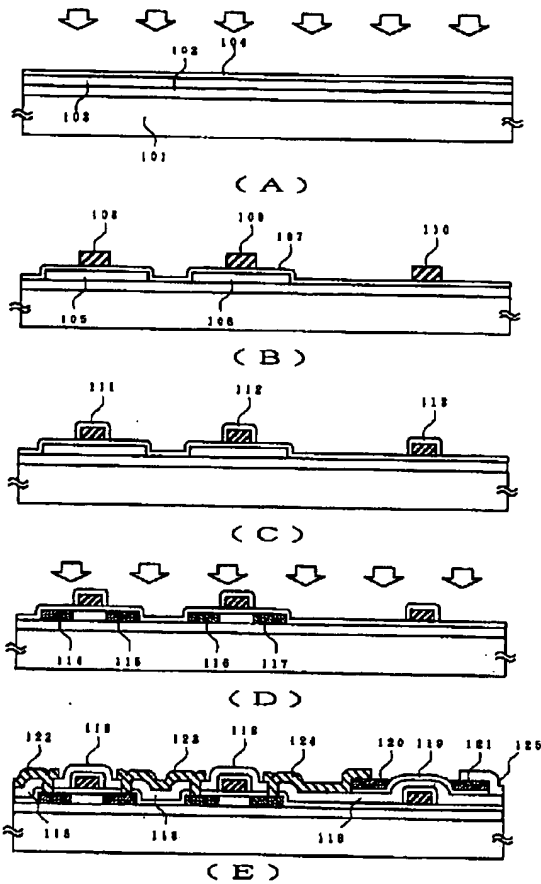
111~113 陽極酸化膜

114、115 N型不純物領域

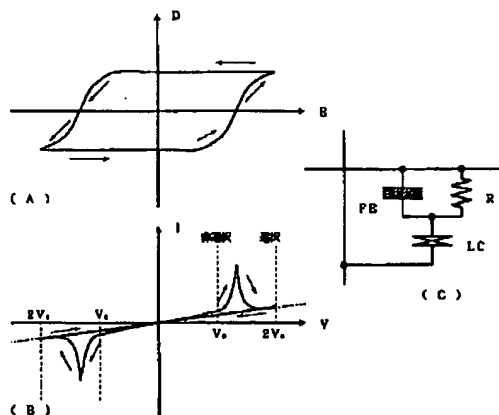
116、117 P型不純物領域

118 層間絶縁物

【図1】



【図4】



24

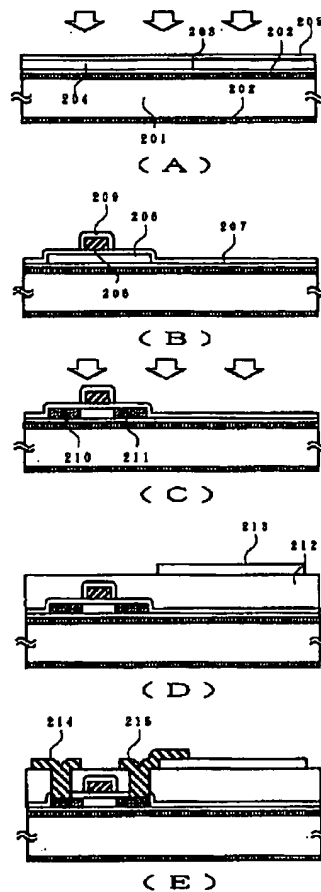
119 a-Si層 (活性層)

120、121 N型マイクロクリスタル領域

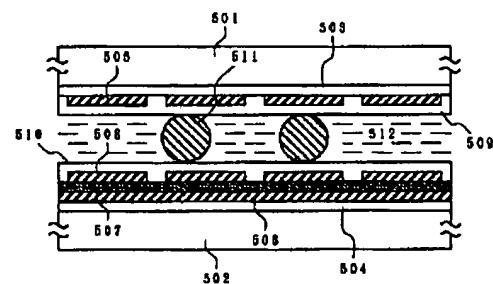
122~124 金属配線

125 画素電極 (ITO)

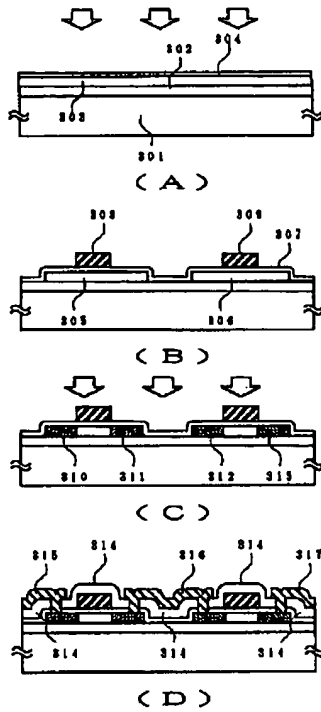
【図2】



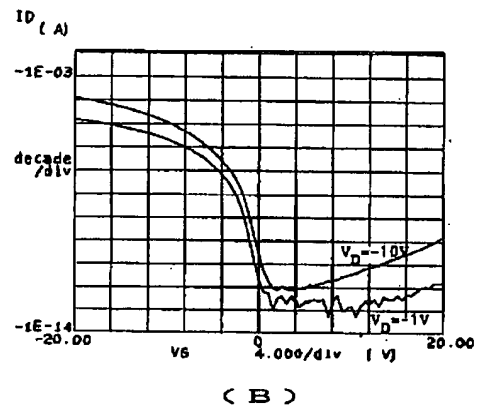
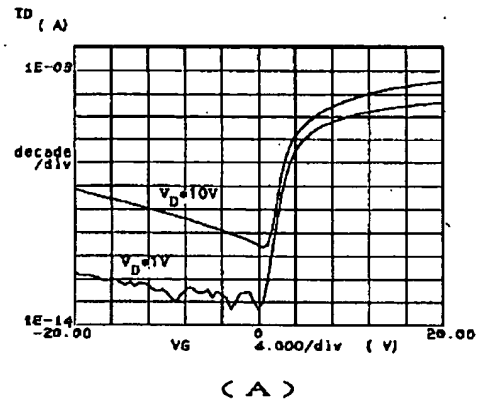
【図5】



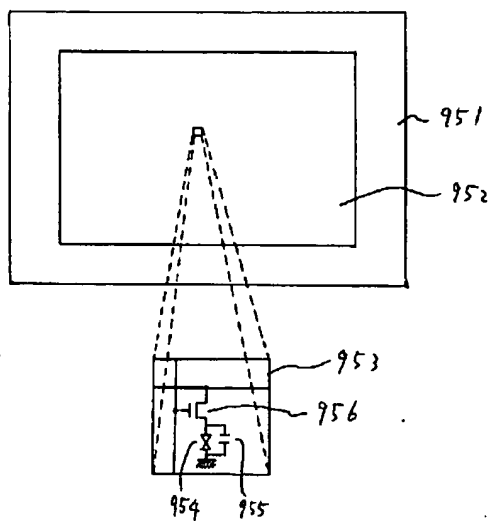
【図3】



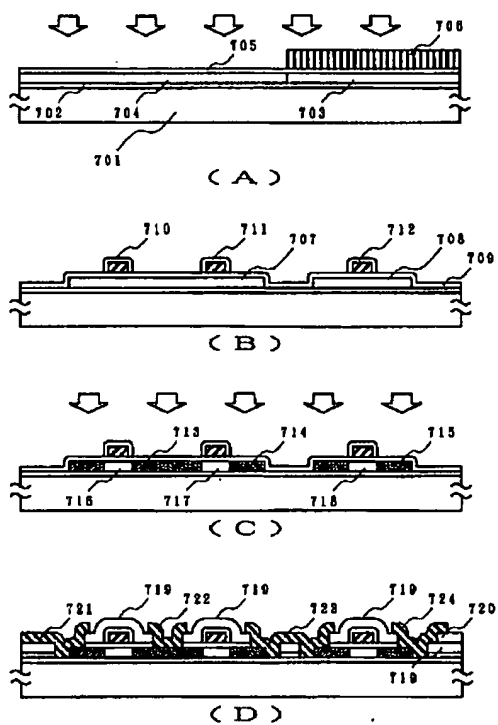
【図6】



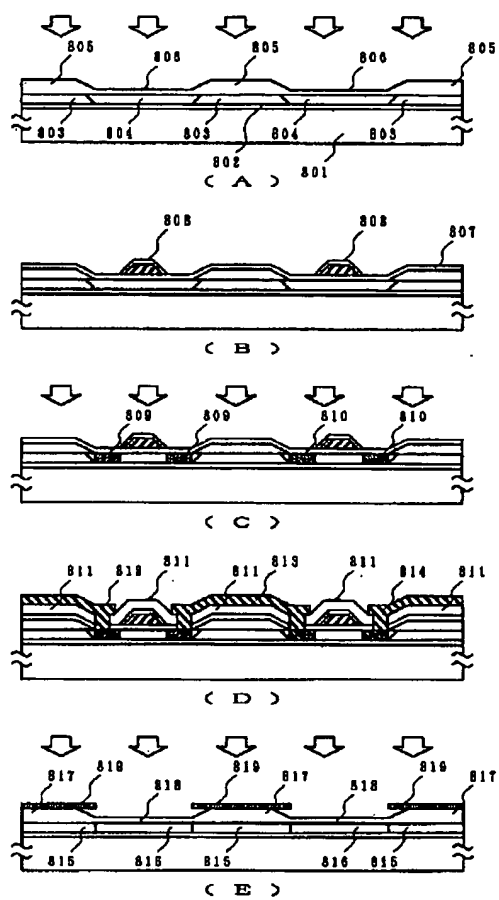
【図11】



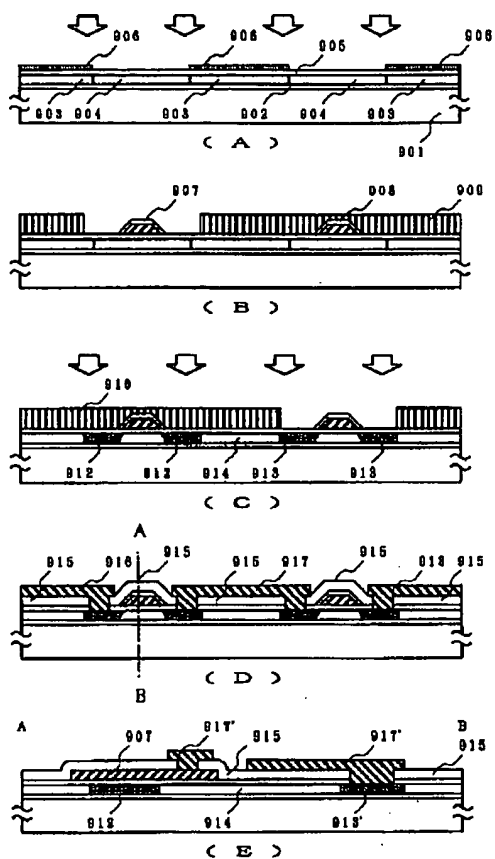
【図7】



【図8】



【図9】



【図10】

